

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平1-94672

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 平成1年(1989)4月13日

H 01 L 29/78

3 2 1

S-8422-5F

審査請求 未請求 発明の数 1 (全10頁)

⑮ 発明の名称 縦形MOSFET

⑯ 特 願 昭62-251448

⑰ 出 願 昭62(1987)10月7日

⑱ 発 明 者 富 永 保 神奈川県横浜市神奈川区宝町2番地 日産自動車株式会社
内

⑲ 出 願 人 日産自動車株式会社 神奈川県横浜市神奈川区宝町2番地

⑳ 代 理 人 弁理士 三好 保男 外1名

明 細 書

1. 発明の名称

縦形MOSFET

2. 特許請求の範囲

ドレインとして作用する第1導電形層と、

該第1導電形層内に形成された第2導電形のウェルと、

該ウェル内に形成された第1導電形のソース領域と、

該ソース領域と前記第1導電形層との間の前記ウェル上にゲート絶縁膜を介して設けられ当該ウェルにチャンネルを誘起させるゲート電極と、

前記ソース領域を貫通して前記ウェルに達する溝が穿設され少なくとも前記ウェルに対しては前記溝内に形成された高融点金属からなるコンタクト部を介して当該ウェルおよび前記ソース領域に接続されたソース電極と

を有することを特徴とする縦形MOSFET。

3. 発明の詳細な説明

[発明の目的]

(産業上の利用分野)

この発明は、例えば電力用スイッチング素子等として使用される縦形MOSFETに関する。

(従来の技術)

縦形MOSFETの第1の従来例としては、第10図の(a)~(d)に示すようなものがある(IEE Transaction on Electron Device V of ED-31, №12 DEC. 1984 pp1693~1700「Optimum Design of Power MOSFET's」)。

第10図の(a)~(d)中、31は高濃度のN⁺基板であり、N⁺基板31上には実質的にドレインとして作用する低濃度のN形ベース層32がエピタキシャル成長法により形成されている。N形ベース層32の表面側には、Pウェル33が形成され、Pウェル33内にN⁺ソース領域34が形成されている。また、N⁺ソース領域34とN形ベース層32との間におけるPウェル33上には、Pウェル33の表面層にチャンネル33aを誘起させるための多結晶シリコンからなるゲート電極36が、

ゲート酸化膜35を介して形成されている。

37はPSGからなる中間絶縁膜、38はA₂膜で形成されたソース電極であり、ソース電極38は、ソース・Pウェル共通コンタクト孔39によりN⁺ソース領域34およびPウェル33に共通に接続されている。また、N⁺基板31の表面には図示省略のドレイン電極が設けられている。

上述の縦形MOSFETは次のような工程により作製されている。即ち、N形ベース層32の表面にゲート酸化膜35となるシリコン酸化膜35aが形成され、このシリコン酸化膜35a上に、ゲート電極36となる多結晶シリコンが所望形状に形成される(第10図a)。そして、多結晶シリコンからなるゲート電極36をマスクとしてN形ベース層32の表面にP形不純物がイオン注入され、アニールが施されてPウェル33が形成される。フォトリソグラフィ法によりPウェル33のコンタクト部33bの部分に図示省略のフォトレジスト膜が形成され、このフォトレジスト膜およびゲート電極36をマスクとしてN形不純物が

イオン注入され、アニールが施されてPウェル33内にN⁺ソース領域34が形成される(第10図b)。次いでCVD法により中間絶縁膜37となるPSGが堆積され、フォトリソグラフィ工程によりソース・Pウェル共通コンタクト孔39が開孔されたのち(第10図c)、A₂膜着およびパターニングが行なわれてソース電極38が形成されている(第10図d)。

上述のように形成された縦形MOSFETは、ゲート電極36部分およびソース・Pウェル共通コンタクト孔39部分からなる単位体がセルと称され、このセルの所定個数が並列接続されて構成されている。そして耐圧が例えば100V程度以下のものでは、オン抵抗の大部分がこのセルの個数によって決められており、セルサイズを縮小してセル密度を高めると、オン抵抗の低減、言い換えれば損失の低減が図られる。

しかしながら、第1の従来例にあつては、N⁺ソース領域34形成のためのN⁺拡散の際にPウェル33のコンタクト部33bを表面に残すため

のフォトリソグラフィ工程と、ソース・Pウェル共通コンタクト孔39開孔の際のフォトリソグラフィ工程との2度のフォトリソグラフィ工程を必要とし、コンタクト部のパターンには、各フォトリソグラフィ工程におけるマスク合わせに必要な寸法余裕をとらなければならないため、ソース電極38とN⁺ソース領域34およびPウェル33とのコンタクト部の面積が大きくなり、セルサイズを縮小してセル密度を高めることが難しいという問題点があった。

次いで、第11図には縦形MOSFETの第2の従来例を示す(実開昭56-162395号)。なお、第11図において前記第10図における部材および部位と同一ないし均等のものは、前記と同一符号を以って示してある。

この従来例では、Pウェル33およびN⁺ソース領域34が多結晶シリコンからなるゲート電極36をマスクとした2重拡散により形成されて、前記第1の従来例におけるようなN⁺ソース領域34形成の際に、Pウェル33のコンタクト部を

表面に残すためのフォトリソグラフィ工程が省略されてセル密度の向上が図られている。そして、中間絶縁膜37にコンタクト孔41が開孔され、中間絶縁膜37をマスクとしたKOH等のアルカリエッチング液による異方性エッチングによりN⁺ソース領域34を貫通してPウェル33に達するV字溝42が形成されている。A₂膜で形成されたソース電極43は、V字溝42の傾斜面の部分において拡散深さが1~1.5μmのソース領域34およびPウェル33に共通に接続されている。

ところで、シリコン等の半導体にとってアクセプタ不純物となるA₂材質で形成されたソース電極とドナー不純物の導入拡散により形成されたN⁺ソース領域との間でコンタクト抵抗の小さいコンタクト部を形成するためには、比較的大きな面積でコンタクト部を形成することが望まれる。

しかしながら、第2の従来例にあつては、A₂材質で形成されたソース電極43と拡散深さが1~1.5μmのN⁺ソース領域34とがV字溝4

2の傾斜面の部分で、ほぼその厚さ方向にコンタクトをとる構造となっていたため、A₂ソース電極43とN⁺ソース領域34との接触面積が少なくなつてコンタクト抵抗が増し、この部分でオン抵抗が上昇してしまうという問題点があった。

(発明が解決しようとする問題点)

第1の従来例では、N⁺ソース領域形成のためのN⁺拡散の際に、Pウェルのコンタクト部を表面に残すためのフォトリソグラフィ工程とソース・Pウェル共通コンタクト孔の開孔の際のフォトリソグラフィ工程との2度のフォトリソグラフィ工程とを必要とし、コンタクト部のパターンには、フォトリソグラフィ工程におけるマスク合わせに必要な寸法余裕をとらなければならないため、コンタクト部の面積が大きくなり、セルサイズを縮小してセル密度を高め、オン抵抗の低減を図ることが難しいという問題点があった。

また、第2の従来例では、N⁺ソース領域形成の際に、Pウェルのコンタクト部を表面に残すためのフォトリソグラフィ工程が省略されてセル密

度の向上が図られているが、A₂材質で形成されたソース電極と浅い拡散深さのN⁺ソース領域とがV字溝の傾斜面の部分で、ほぼその厚さ方向にコンタクトをとる構造となっていたため、A₂ソース電極とN⁺ソース領域との接触面積が少なくなつてコンタクト抵抗が増し、この部分でオン抵抗が上昇してしまうという問題点があった。

この発明は、このような従来の問題点に着目してなされたもので、セルサイズを縮小してセル密度を高め、またソース電極とソース領域およびウェルとのコンタクト抵抗を低下させてオン抵抗を低減させることのできる縦形MOSFETを提供することを目的とする。

(発明の構成)

(問題点を解決するための手段)

この発明は上記問題点を解決するために、ドレインとして作用する第1導電形層と、該第1導電形層内に形成された第2導電形のウェルと、該ウェル内に形成された第1導電形のソース領域と、該ソース領域と前記第1導電形層との間の前記ウ

ェル上にゲート絶縁膜を介して設けられ当該ウェルにチャンネルを誘起させるゲート電極と、前記ソース領域を貫通して前記ウェルに達する溝が穿設され少なくとも前記ウェルに対しては前記溝内に形成された高融点金属からなるコンタクト部を介して当該ウェルおよび前記ソース領域に接続されたソース電極とを有することを要旨とする。

(作用)

ソース電極とソース領域およびウェルとのコンタクト部に、ソース領域を貫通してウェルに達する溝が穿設され、ソース領域形成のための第1導電形不純物の拡散の際に、ウェルのコンタクト部を表面に残すためのフォトリソグラフィ工程が省略されてセル密度が高められる。

また、少なくとも第2導電形のウェルに対しては高融点金属をコンタクトさせてオーミック性接触としているので、接触面積が小さくなる第1導電形のソース領域に対してはウェル側と同様の高融点金属または接触電位差の小さい材質を選択してコンタクトさせることができ、ソース領域およ

びウェルの両者とソース電極とのコンタクト抵抗が低下される。

(実施例)

以下、この発明の実施例を図面に基づいて説明する。

第1図ないし第4図は、この発明の第1実施例を示す図である。

まず、縦形MOSFETの構成を説明すると、第1図中、1は高濃度のN⁺基板であり、N⁺基板1上には実質的にドレインとして作用する低濃度の第1導電形層としてのN形ベース層2がエピタキシャル成長法により形成されている。N形ベース層2の表面側には、Pウェル3が形成され、Pウェル3内にN⁺ソース領域4が形成されている。

また、N⁺ソース領域4とN形ベース層2との間におけるPウェル3上には、Pウェル3の表面側にチャンネル3aを誘起させるための多結晶シリコンからなるゲート電極6が、ゲート絶縁膜としてのゲート絶縁膜5を介して形成されている。

7はPSGからなる中間絶縁膜であり、中間絶縁膜7には、コンタクト孔8が開孔され、この中間絶縁膜7をマスクとした反応性イオンエッチング等の異方性エッチングによりN⁺ソース領域4を貫通してPウェル3に達する断面形状の溝9が穿設されている。そして溝9内には、その底部におけるPウェル3の部分に高融点金属であるタングステン(W)11が1μm程度の厚さに堆積され、このタングステン11上にN⁺多結晶シリコン12が埋込されている。A₂膜で形成されたソース電極13は、N⁺多結晶シリコン12に比較的広い面積でコンタクトがとられ、ソース電極13は、N⁺ソース領域4に対し、そのN⁺多結晶シリコン12を介して接続され、Pウェル3に対しては、N⁺多結晶シリコン12およびタングステン11を介して接続されている。また、N⁺基板1の裏面には、図示省略のドレイン電極が設けられている。

次いで製造工程の一例を第2図の(a)~(e)を用いて説明することにより、その構成をさらに

詳述する。なお、以下の説明において、(a)~(e)の各項目記号は、第2図の(a)~(e)のそれぞれに対応する。

(a) N形ベース層2の表面に、熱酸化によりゲート酸化膜5となるシリコン酸化膜を所要の厚さに形成し、次いでこのシリコン酸化膜上に多結晶シリコンをCVD法により所要の厚さに堆積し、フォトリソグラフィ法により不要部分を除去してゲート電極6を形成する。そして、この多結晶シリコンからなるゲート電極6をマスクとした2重拡散によりPウェル3およびN⁺ソース領域4を形成する。このあと、中間絶縁膜7となるPSGをCVD法により所要の厚さに堆積し、フォトリソグラフィ法によりコンタクト孔8を開孔する。

(b) 中間絶縁膜7をマスクとした反応性イオンエッチングによる異方性エッチングを利用してN⁺ソース領域4を貫通してPウェル3に達する断面形状の溝9を穿設する。

(c) ハロゲン化タングステンの還元反応の大地依存性を利用して溝9の底部、即ちPウェル3

の部分に選択的に金属タングステン11を1μm程度の厚さに堆積する。

(d) 第3図の(a)~(c)に示すように、CVD法により全面にN⁺多結晶シリコン12を堆積し、次いで、その表面にフォトリソレジスト膜14を塗布して平坦化したのち、多結晶シリコンとフォトリソレジストとがほぼ同じエッチングレートになる反応ガスを用いて異方性の反応性イオンエッチングを行ない、溝9内のタングステン11上にN⁺多結晶シリコン12を埋込む。

(e) A₂膜を蒸着したのち、そのパターニングを行なって、N⁺多結晶シリコン12に比較的広い面積でコンタクトするソース電極13を形成する。

次に、第4図の(a)、(b)を用いて上述のように構成された縦形MOSFETの作用を説明する。

ソース電極13とN⁺ソース領域4およびPウェル3とのコンタクト部に、N⁺ソース領域4を貫通してPウェル3に達する溝9が穿設され、こ

の溝9の壁面でコンタクトをとる構造とされているので、N⁺ソース領域4形成のためのN⁺拡散の際に、前記第10図の従来例のように、Pウェル3のコンタクト部を表面に脱すためのフォトリソグラフィ工程が省略されて、セル密度が高められる。

また、上記のようなコンタクト構造とされているため、接触面積が比較的小さくなるN⁺ソース領域4に対しては、N⁺多結晶シリコン12を接触させ、両者間に接触電位差を生じさせないようにしてコンタクト抵抗が下げられている。即ち、第4図(b)に示すように、N⁺単結晶シリコンとN⁺多結晶シリコンとの接触では、同じシリコン同士の接触であるため、両者間の接触電位差は両者の不純物濃度の差のみで決められて小さくなり、コンタクト抵抗は無視できる程度に小さくなるのである。

一方、溝9内に埋込んだN⁺多結晶シリコン12を、そのままPウェル3に接触させると整流接触となるので不具合が生じる。このため、Pウェ

ル3には高融点金属であるタングステン11を接触させてオーミック接触として低抵抗化が図られている。金属であるタングステン11とN⁺多結晶シリコン12との接触では、第4図(a)に示すようにバリアハイトφmの障壁が生じるがN⁺多結晶シリコン12のN形不純物濃度を高くすることにより障壁の厚さは十分に薄くなり、トンネル効果によってオーミック接触となる。

そして、A₁膜で形成されたソース電極13は、N⁺多結晶シリコン12に比較的広い面積で接触させることにより低抵抗化が図られている。したがって、ソース電極13は、N⁺ソース領域4に対しては、A₁13-N⁺多結晶シリコン12-N⁺ソース領域4の経路で低抵抗とされ、またPウェル3に対しては、A₁13-N⁺多結晶シリコン12-タングステン11-Pウェル3のオーミック性の経路で低抵抗とされている。

而して、前述のセルサイズの縮小によるセル密度の向上と、ソース電極13とN⁺ソース領域4およびPウェル3とのコンタクト抵抗の低下によ

りオン抵抗が低減されている。

そして、N⁺基板1下面のドレイン電極に所要の正電圧が加えられ、ゲート電極6に閾値電圧以上のゲート電圧が加えられると、チャンネル3aが導通し、オン抵抗の低減によりドレイン電極からソース電極13に十分大なる電流が流れて大電流出力特性が得られる。

また、Pウェル3からソース電極13までの抵抗が下げられているので、縦形MOSFET内に寄生的に形成されているNPNバイポーラトランジスタのベース抵抗が低減され高温時にPウェル3の横方向の張り抵抗部分のベース抵抗が上昇しても当該バイポーラトランジスタがオン状態に転じることが防止されて2次降伏に至る耐量が向上される。

次いで、第5図には、この発明の第2実施例を示す。なお、第5図および後述の第6図等において前記第1図における部材および部位と同一ないし均等のものは、前記と同一符号を以て示し、重複した説明を省略する。

この実施例は、N⁺ソース領域4に接触させるN⁺多結晶シリコンを、溝9内への埋込みとせず薄いN⁺多結晶シリコン膜15とし、このN⁺多結晶シリコン膜15の上にA₁膜のソース電極13を形成したものである。

この実施例によれば、A₁膜で形成されたソース電極13を、一面広い面積でN⁺多結晶シリコン15に接触させることができるので、当該両者間のコンタクト抵抗を一層低抵抗とすることができる。

セルサイズの縮小によるセル密度の向上作用等は、前記第1実施例のものとはほぼ同様である。

第6図ないし第9図には、この発明の第3実施例を示す。この実施例は、溝形成のためのマスク形成の際におけるフォトリソグラフィ工程も省略してセルサイズの一面の縮小を図り、セル密度を一面高めるようにしたものである。

この実施例の縦形MOSFETの構成を説明すると、第6図中、16はシリコン窒化膜(Si₃N₄)であり、多結晶シリコンからなるゲート電

極6は、このシリコン窒化膜16をマスクとしたエッチングにより所要形状に形成されている。17はシリコン酸化膜のサイドウォールであり、ゲート電極6の端面に対し自己整合的に形成されている。N⁺ソース領域4を貫通してPウェル3に達する断面両形の溝9は、シリコン窒化膜16およびサイドウォール17をマスクとした異方性エッチングにより穿設されている。

そして、溝9内にタングステン18が埋込まれ、A₁膜で形成されたソース電極13は、この埋込みタングステン18を介してN⁺ソース領域4およびPウェル3に共通に接続されている。

次いで、製造工程の一例を第7図の(a)~(g)を用いて説明することにより、その構成をさらに詳述する。

(a) N形ベース層2の表面に、熱酸化によりゲート酸化膜5となるシリコン酸化膜を所要の厚さに形成し、このシリコン酸化膜上に堆積した多結晶シリコンを、シリコン窒化膜16をマスクにしてエッチングし、ゲート電極6を形成する。

(b) ゲート電極6をマスクとした2値拡散によりPウェル3およびN⁺ソース領域4を形成する。

(c) 第8図の(a)~(c)に示すように、全面にCVD法によりシリコン酸化膜を堆積したのち、反応性イオンエッチングを用いた異方性エッチング法により、そのシリコン酸化膜を全面エッチングしてゲート電極6の側部にサイドウォール17を形成する。ゲート電極6を構成する多結晶シリコンの厚さを0.4~0.5 μ m、CVD法により堆積するシリコン酸化膜の厚さを0.6~0.7 μ mとすると、サイドウォール17の横方向長さは0.5 μ m程度となって、ゲート電極6の端面に対し自己整合的に形成される。

(d) ゲート電極6上のシリコン窒化膜16とシリコン酸化膜のサイドウォール17をマスクとした異方性エッチングによりN⁺ソース領域4を露出させてPウェル3に達する溝9を穿設する。

(e) 溝9の下地であるシリコンに対し、ハロゲン化タングステンの還元反応によりタングステ

ンを選択的に成長させ、埋込みタングステン18を形成する。

(f) CVD法により中間絶縁膜7となるPSGを全面に堆積し、フォトリソグラフィ法によりコンタクト孔19を開孔する。PSGによる中間絶縁膜7は、その下地の絶縁膜がゲート電極6の上端面21の部分で薄くなり、ゲート・ソース間耐圧が低下するのを防止するために行なわれる。

(g) A₁線を露出したのち、そのパターンニングを行なって、埋込みタングステン18にコンタクトするソース電極13を形成する。

次いで、第9図の(a)、(b)を用いて上述のように構成された縦形MOSFETの作用を説明する。

N⁺ソース領域4形成のためのN⁺拡散の際に、Pウェル3のコンタクト部を表面に残すためのフォトリソグラフィ工程が省略されることは、前記第1実施例の場合と同様である。

そして、この実施例では、溝9穿設のためのマスクが、ゲート電極6の端面に対して自己整合的

に形成されたシリコン酸化膜のサイドウォール17とゲート電極6上のシリコン窒化膜16とをマスクとした異方性エッチングにより行なわれる。したがって溝9穿設のためのマスクを形成するフォトリソグラフィ工程も省略されるので、このためのマスク合わせ余裕分が不要となり、ソース領域4のコンタクト面とゲート電極6の端面間の距離を短縮することができてセルサイズが一層縮小され、セル密度が一層高められる。第9図の(a)、(b)は、このセルサイズの縮小効果を示したもので、第9図(a)に示すこの実施例のものは、隣り合うゲート電極6同士の距離 L_1 、即ちコンタクト領域の幅は例えば6 μ m程度になるのに対し第9図(b)に示す比較例のものにおけるこれに対応した距離 L_1 は9 μ m程度であり、この実施例のものはセルサイズが大幅に縮小されている。因みに、第9図(a)中の $L_2=5\mu$ m、 $L_3=3\mu$ m程度であるのに対し、第9図(b)中の $L_2=6\mu$ m、 $L_3=3\mu$ m程度である。なお、第9図(b)中の22は寄生NPNトランジスタ

を示している。

また、この実施例では接触面積が比較的小さくなるN⁺ソース領域4に対しても高融点金属であるタングステン18を接触させ、トンネル効果によってオーミック接触としている。

而して、セルサイズの一層の縮小によるセル密度の向上と、ソース電極13とN⁺ソース領域4およびPウェル3とのコンタクト抵抗の低下によりオン抵抗が一層低減されている。

さらに、この実施例では、ゲート電極6の下方に入り込んでいるPウェル3の端部からN⁺ソース領域4のコンタクト面(実質的に埋込み電極の位置)までの距離が前述のように短縮されているため、寄生NPNバイポーラトランジスタ22のベース抵抗が一層小さくなり、2次降伏耐圧が一層高められる。

なお、上述の各実施例ではNチャネルの縦形MOSFETについて説明したが、Pチャネルのものにも適用できる。また、縦形MOSFETを構成要素とする半導体装置、例えば電導度変調形M

OSFETにも適用できる。

さらに、少なくともPウェルに接触させる高融点金属としては、タングステン(W)の他にモリブデン(Mo)等も適用することができ、またこのような高融点金属とシリコンとの化合物であるシリサイドを適用することもできる。

【発明の効果】

以上説明したように、この発明によれば、ソース電極とソース領域およびウェルとのコンタクト部に、ソース領域を貫通してウェルに達する溝を穿設したので、ソース領域形成のための第1導電形不純物の拡散の際に、ウェルのコンタクト部を表面に残すためのフォトリソグラフィ工程が省略されてセル密度を高めることができる。また、少なくとも第2導電形のウェルに対しては高融点金属をコンタクトさせてオーミック接触となるようにしたので、接触面積の小さくなる第1導電形のソース領域に対しては、ウェル側と同様の高融点金属または接触電位差の小さくなる材質を選択してコンタクト部を構成することができてソース電

極とソース領域およびウェルとのコンタクト抵抗を低下させることができる。したがって前述のセル密度が高められることも相まってオン抵抗を低減させることができるという利点がある。

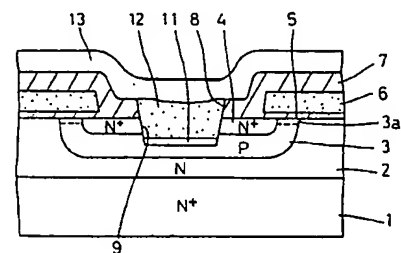
4. 図面の簡単な説明

第1図ないし第4図はこの発明に係る縦形MOSFETの第1実施例を示すもので、第1図は縦断面図、第2図は製造工程の一例を示す工程図、第3図は同上製造工程における溝内への多結晶シリコンの埋込み工程例を示す工程図、第4図は作用を説明するためのものでN形単結晶シリコンとN形多結晶シリコンとの接触電位差を示す図、第5図はこの発明の第2実施例の製造工程例を示す工程図、第6図ないし第9図はこの発明の第3実施例を示すもので、第6図は縦断面図、第7図は製造工程の一例を示す工程図、第8図は同上製造工程におけるサイドウォールシリコン酸化膜の形成工程例を示す工程図、第9図はセルサイズの寸法縮小効果を比較例とともに示す図、第10図は縦形MOSFETの第1の従来例を示す工程図、

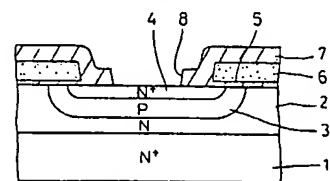
第11図は第2の従来例を示す断面図である。

- 1: N⁺基板、
- 2: N形ベース層(第1導電形層)、
- 3: ウェル、 3a: チャンネル、
- 4: N⁺ソース領域、
- 5: ゲート酸化膜(ゲート絶縁膜)、
- 6: ゲート電極、 7: 中間絶縁膜、
- 9: 溝、
- 11、18: タングステン(高融点金属)、
- 12、15: N⁺多結晶シリコン、
- 13: ソース電極。

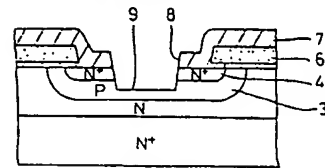
代理人 弁理士 三好 保男



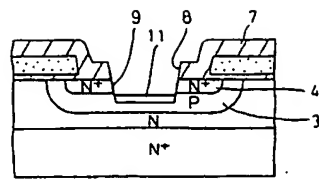
第1図



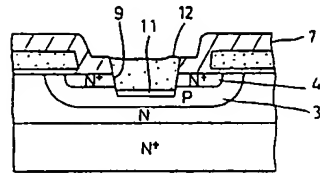
第2図(a)



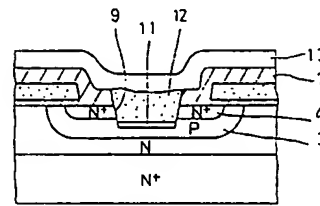
第2図(b)



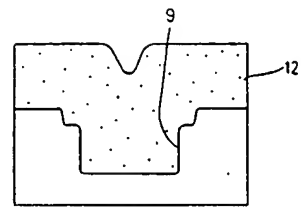
第 2 図 (c)



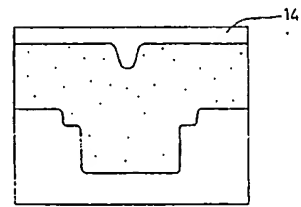
第 2 図 (d)



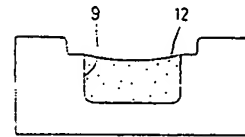
第 2 図 (e)



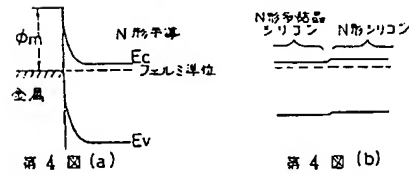
第 3 図 (a)



第 3 図 (b)

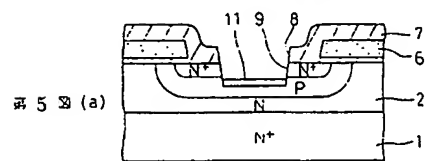


第 3 図 (c)

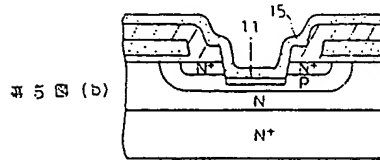


第 4 図 (a)

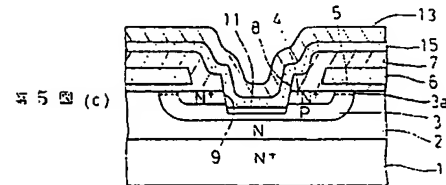
第 4 図 (b)



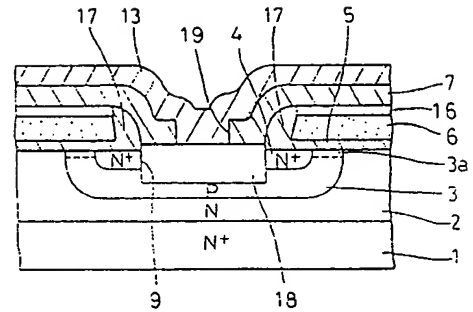
第 5 図 (a)



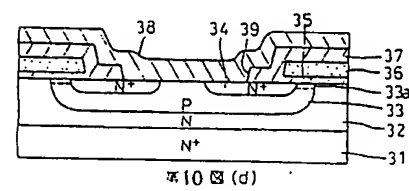
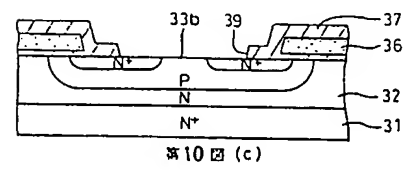
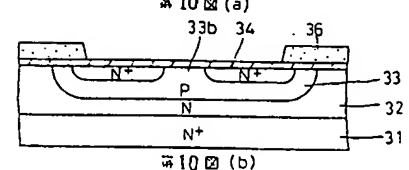
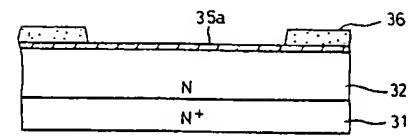
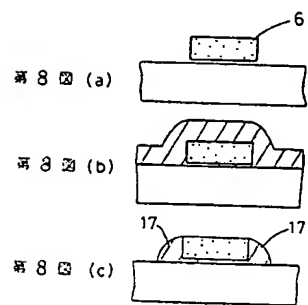
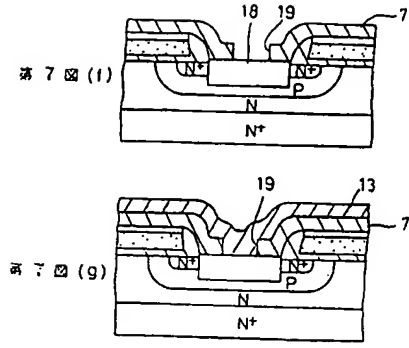
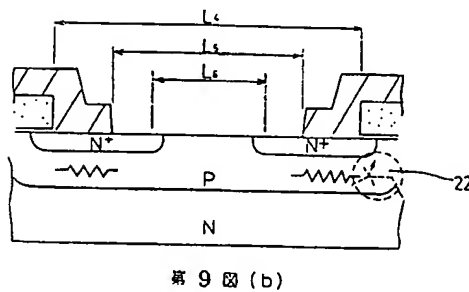
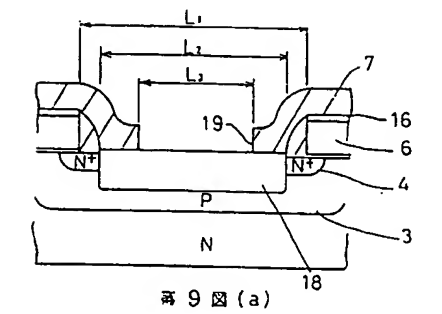
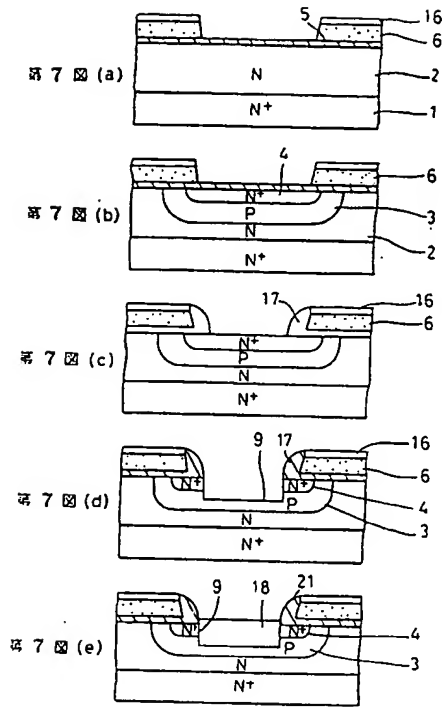
第 5 図 (b)

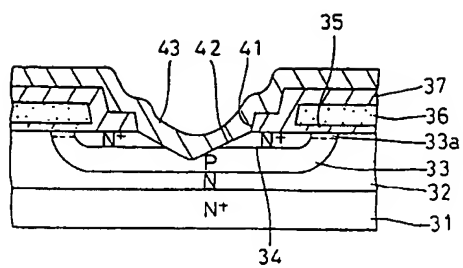


第 5 図 (c)



第 6 図





第11図

JP 401094672 A
APR 1989

Best Available Copy

(54) VERTICAL MOSFET

(11) 1-94672 (A) (43) 13.4.1989 (19) JP

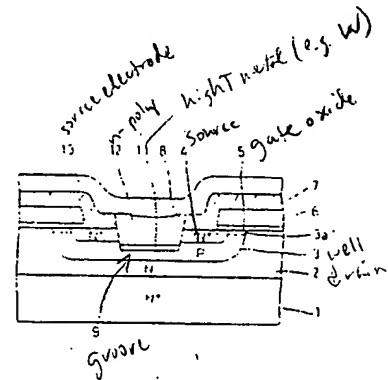
(21) Appl. No. 62-251448 (22) 7.10.1987

(71) NISSAN MOTOR CO LTD (72) TAMOTSU TOMINAGA

(51) Int. Cl. H01L29/78

PURPOSE: To increase cell density while reducing the cell dimensions, and to decrease on-resistances while decreasing a contact resistance between a source electrode and a source region and well by punching a groove which reaches the well while extending through the source region at a contact between the source electrode and the source region and well, or like means.

CONSTITUTION: A vertical MOSFET comprises a first conductive type layer 2 acting as a drain; a second conductive type well 3 arranged within the first conductive type layer 2; a first conductive type source region 4 arranged within the well 3; a gate electrode, which will induce a channel 3a for the well 3, arranged on the well 3 located between the source region 4 and the first conductive type layer 2 while interposing a gate insulating film 5; a source electrode 13 which is connected to the well 3 and source region 4 while interposing, at least relative to the well 3, a contact part 11 consisting of a high melting point metal formed within a groove 9, the groove being punched in such a way as to extend through the source region 4. For example, within said groove 9, tungsten 11 is deposited on the bottom thereof, or a P-well 3, while N⁺-polycrystalline silicon 12 is buried therein.



20110221